

B1

CMOS FET circuit layout - has common gate and drain electrodes in vertical or lateral configuration

Patent Number: DE4101167

Publication date: 1992-07-23

Inventor(s): KOENIG ULF DR ING (DE); SCHAEFFLER FRIEDRICH DR RER NA (DE); BEHR WOLFGANG DIPL PHYS (DE)

Applicant(s): DAIMLER BENZ AG (DE)

Requested Patent: DE4101167

Application Number: DE19914101167 19910117

Priority Number (s): DE19914101167 19910117

IPC Classification: H01L21/72; H01L27/092; H01L27/12

EC Classification: H01L27/092

Equivalents:

Abstract

The layout for CMOS FETs features a single gate contact and a common drain contact for both transistors. The layout is applicable for a variety of semiconductors materials and may be configured either vertically or laterally. The lateral arrangement for silicon comprises a silicon substrate (1) with an overlying undoped SiGe buffer layer covered by intrinsic Si (24), SiGe (25), and Si (26) layers. P-type (27,28) and n-type (29,30) regions are formed by implantation and extend to the i-Si layer (24) and the i-SiGe layer (25) respectively to enable the formation of two dimensional electron or hole (p or n) channels.

The p and n-type regions are covered by metallic areas forming a common drain contact (36), separate n and p-type source contacts (27,28) and a single gate (39,40) contact, the latter being arranged to overlap the implanted p and n-type regions to assist channel formation.

ADVANTAGE - Reduces contact width and substrate area required for CMOS FETs.

Data supplied from the esp@cenet database - I2

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Offenlegungsschrift
⑯ DE 41 01 167 A1

⑮ Int. Cl. 3:
H 01 L 27/092
H 01 L 21/72
H 01 L 27/12

DE 41 01 167 A1

⑯ Aktenzeichen: P 41 01 167.8
⑯ Anmeldetag: 17. 1. 91
⑯ Offenlegungstag: 23. 7. 92

- ⑯ Anmelder:
Daimler-Benz Aktiengesellschaft, 7000 Stuttgart, DE
- ⑯ Vertreter:
Amersbach, W., Dipl.-Ing., 7913 Senden
- ⑯ Erfinder:
König, Ulf, Dr.-Ing., 7900 Ulm, DE; Schäffler, Friedrich, Dr.rer.nat., 7910 Neu-Ulm, DE; Behr, Wolfgang, Dipl.-Phys., 7915 Thalfingen, DE
- ⑯ Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

DE	38 30 102 A1
DE	35 45 435 A1
DE	3 73 100 A1
US	49 51 113
US	49 42 441
US	47 40 826
US	46 70 768

CIRILLO, N.C.;
et.al.: Realization of n-Channel and p-Channel
High-Mobility (Al,Ga)As/ GaAs Heterostructure
Insulating Gate FET
s on a Planar Wafer Surface. In: IEEE Electron
Device Letters, Vol. EDL-6, No.12, Dec.1985,
S.845-847;
CIRILLO, N.C.;
et.al.: COMPLEMENTARY HETEROSTRUCTURE
INSULATED GATE FIELD EFFECT TRANSISTORS
(HIGFETs); In: IEDM 85, S.317-320;

⑯ Anordnung und Verfahren zur Herstellung komplementärer Feldeffekttransistoren

- ⑯ Die Erfindung betrifft eine CMOD-Anordnung bei der
n-MODFET und p-MODFET derart angeordnet sind, daß ein
gemeinsamer Gate und Drain-Kontakt für die komplementären
MODFET herstellbar ist. Die komplementären MODFET
werden entweder vertikal oder lateral hintereinander auf
einem Substrat angeordnet.

DE 41 01 167 A1

Beschreibung

Die Erfindung betrifft eine integrierte Halbleiteranordnung und ein Verfahren zu deren Herstellung nach dem Oberbegriff der Patentansprüche 1, 8 und 10.

Die Erfindung findet Anwendung bei der Herstellung von sogenannten CMOD-Schaltungen. Diese Schaltungen enthalten mindestens eine Serienschaltung aus zwei komplementären MOD (modulationsdotierten)-Feldeffekttransistoren (MOD-FET), z. B. eine Serienschaltung aus einem n-Kanal-MODFET und einem p-Kanal-MODFET. MODFET besitzen hohe Ladungsträgerbeweglichkeiten, so daß CMOD-Schaltungen hohe Schaltgeschwindigkeiten erreichen. Eine derartige Schaltungsanordnung ist aus der DE-OS 37 31 000 bekannt, bei der auf einem Si-Substrat zwei MODFET nebeneinander angeordnet sind und die gleiche Kanal-Halbleiterschichtenfolgen besitzen. Derart angeordnete CMOD-Schaltungen erfordern lange elektrische Zuleitungen und es entstehen relativ große Bahnwiderstände.

Der Erfindung liegt deshalb die Aufgabe zugrunde, eine gattungsgemäße Halbleiteranordnung und ein Verfahren zu deren Herstellung anzugeben, bei der kompakte, kurze elektrische Zuleitungen herstellbar sind.

Diese Aufgabe wird gelöst durch die im kennzeichnenden Teil der Patentansprüche 1, 8 und 10 angegebenen Merkmale. Vorteilhafte Ausgestaltungen und/oder Weiterbildungen sind den Unteransprüchen entnehmbar.

Die erfundungsgemäße CMOD-Anordnung hat den Vorteil, daß die komplementären MODFET über einen gemeinsamen Gate-Kontakt ansteuerbar sind. Des Weiteren ist auch die MODFET-Anordnung so gewählt, daß lediglich ein Drainkontakt benötigt wird. Dadurch sind kompakte und kurze elektrische Zuleitungen für die CMOD-Anordnung herstellbar.

Bei den vertikal angeordneten komplementären MODFET werden bekannte MODFET-Strukturen für die Einzelbauelemente verwendet. Der Aufbau der Einzelbauelemente kann jedoch im Hinblick auf die Gesamtanordnung optimiert werden.

Die Erfindung wird im folgenden anhand von Ausführungsbeispielen unter Bezugnahme auf schematische Zeichnungen näher erläutert.

In Fig. 1 ist die Kontaktierung der erfundungsgemäßen CMOD-Anordnung schematisch dargestellt.

Die Fig. 2 und 3 zeigen beispielhafte Halbleiterschichtenfolgen für vertikal angeordnete komplementäre MODFET.

In den Fig. 4 und 5 sind die Verfahrensschritte zur Herstellung von vertikalen und lateralen CMOD-Anordnungen angegeben.

Um eine Kontaktierung gemäß Fig. 1 von komplementären MODFET zu ermöglichen, ist es beispielsweise vorteilhaft einen n-MODFET über einen p-MODFET anzuordnen. Für die Herstellung einer derartigen Anordnung wird beispielsweise auf einem p-Si-Substrat 1 eine Halbleiterschichtenfolge aus

- einer undotierten $\text{Si}_{0.8}\text{Ge}_{0.2}$ -Schicht 2 mit einer Schichtdicke von 10 bis 50 nm,
- einer $p^-p^+p^-$ -Si-Schichtenfolge 3, 4, 5 mit einer Gesamtdicke von etwa 50 nm,
- einer p^+ -dotierten Ätzstoppschicht 13 aus Si oder SiGe mit einer Schichtdicke von etwa 20 nm
- einer undotierten Pufferschicht 6 aus $\text{Si}_{0.75}\text{Ge}_{0.25}$ mit einer Schichtdicke von etwa 300 nm,
- einer undotierten Si-Schicht 7 mit einer Schicht-

dicke von 10 bis 50 nm

- einer $n^-n^+n^-$ - $\text{Si}_{1-x}\text{Ge}_x$ -Schichtenfolge 8, 9, 10 mit einer Gesamtschichtdicke von etwa 30 nm und einem Ge-Anteil von $x = 0.5$,
- eine n^- -dotierten Si-Schicht 11 mit einer Schichtdicke von etwa 20 nm, und
- einer n^+ -dotierten Kontaktsschicht 12 aus Si mit einer Schichtdicke von etwa 10 nm aufgebracht (Fig. 2).

Die aktiven Bauelementschichten für den p-MODFET sind die Schichten 2 bis 5 und für den n-MODFET die Schichten 6 bis 11. Die Ladungsträger werden bei einem derartigen Schichtaufbau jeweils aus der hochdotierten Si-Schicht 4 bzw. $\text{Si}_{0.8}\text{Ge}_{0.2}$ -Schicht 9 in die p-Kanalschicht des p-MODFET, die $\text{Si}_{0.8}\text{Ge}_{0.2}$ -Schicht 2, bzw. in die n-Kanalschicht des n-MODFET, die Si-Schicht 7, transportiert. An der Grenzschicht zwischen der $\text{Si}_{0.8}\text{Ge}_{0.2}$ -Schicht 2 und der p^- -Si-Schicht 3 wird ein zweidimensionales Löchergas (2DHG) erzeugt. An der Grenzschicht zwischen der Si-Schicht 7 und der n^- -Si-Ge-Schicht 8 wird ein zweidimensionales Elektronengas (2DEG) erzeugt. Die zusätzliche Kontaktsschicht 12 verbessert die Kontaktfähigkeit der Source- und Drainkontakte des n-MODFET. Die zusätzliche hochdotierte Si- oder SiGe-Schicht 13 kann einerseits als Kontaktsschicht für den p-MODFET verwendet werden als auch als Ätzstoppschicht, da zur Strukturierung des p-MODFET die Halbleiterschichten 6 bis 12 bereichsweise weggeätzt werden.

Der Schichtaufbau der komplementären MODFET kann auch durch weitere, für herkömmliche MODFET übliche Modifikationen abgeändert werden. So kann z. B. die Pufferschicht 6 weitere Heterostruktuerschichten oder ein Übergitter aus Si- und SiGe-Schichten enthalten.

Die in Fig. 2 angegebene Schichtenfolge kann auch derart abgeändert werden, daß die p-MODFET-Schichten 2 bis 5 über den n-MODFET-Schichten 6 bis 11 aufgewachsen werden.

Außerdem kann auch die folgende Halbleiterschichtenfolge (Fig. 3) für eine CMOD-Anordnung, bei der z. B. der p-MODFET über dem n-MODFET liegt, verwendet werden. Der p-MODFET besitzt einen p-Kanal aus einer Ge-Schicht 2a.

Für den n-MODFET ist auf dem Si-Substrat 1 eine $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 6a mit einem Ge-Anteil $x > 0.5$, und einer Schichtdicke von $> 0.5 \mu\text{m}$ als Puffer aufgewachsen, um die mechanischen Verspannungen auszugleichen, die durch unterschiedliche Gitterkonstanten des Si-Substrats und der Si-Ge-Schichten 7 bis 10 des n-MODFET zustande kommen. Zwischen der n-MODFET-Schichtenfolge und der darauf abgeschiedenen p-MODFET-Schichtenfolge sind eine n^+ -dotierte Ätzstoppschicht 13 a und ein sog. Spacer 6b aufgewachsen. Der Spacer 6b besteht z. B. aus einer $\text{Si}_{0.8}\text{Ge}_{0.2}$ -Schicht mit einer Schichtdicke von etwa 50 nm (Fig. 3). Die Schichten 6a, 6b können auch beide als Pufferschichten ausgebildet werden, wobei die Schicht 6a aus $\text{Si}_{0.8}\text{Ge}_{0.2}$ mit einer Schichtdicke von etwa 50 nm und die Schicht 6b aus $\text{Si}_{0.75}\text{Ge}_{0.25}$ mit einer Schichtdicke von 200 nm besteht.

Zur Herstellung einer geeigneten CMOD-Schaltung mit einer kompakten, kurzen Kontaktierung wird ausgehend von den oben beschriebenen Halbleiterschichtenfolgen die obere MODFET-Schichtenfolge bis zur Ätzstoppschicht 13 bereichsweise abgetragen, etwa durch Mesa-Ätzen. Anschließend wird die Ätzstopp-

schicht 13 bis zur Schicht 5 entfernt. Es entsteht die mesaförmige obere MODFET-Struktur 14 (Fig. 4a).

Danach wird die untere MODFET-Schichtenfolge mesaförmig abgeätzt, derart, daß zwischen der oberen und unteren MODFET-Struktur 14, 15 ein Gate-Zuleitungs-Bereich 16 freigelegt wird. Außerdem der MODFET-Strukturen 14, 15 und im Gate-Zuleitungs-Bereich 16 liegt das Substrat 1 frei (Fig. 4b). Gegebenenfalls ist es für eine einfächer Leiterbahnenführung über die Mesaflanken und eine bessere Justiermöglichkeit für die Ätzmasken vorteilhaft, einen Bereich 17 zwischen der oberen und unteren MODFET-Struktur 14, 15 als Stufe einzubringen (Fig. 4b). Anschließend erfolgt die Strukturierung der Source-, Drain- und Gate-Kontakte. Die Source-Kontakte (18, 18a) werden auf der Oberfläche der oberen und unteren MODFET-Struktur 14, 15 getrennt angeordnet (Fig. 4c). Ein gemeinsamer, die MODFET-Strukturen 14, 15 überlappender Drain-Kontakt 19 wird auf der Oberfläche der MODFET angebracht (Fig. 4c). Die elektrischen Zuleitungen 21b, 21c zu den Source- und Drain-Kontakten 18, 18a, 19 führen über die Mesaflanken der MODFET-Strukturen 14, 15 auf das Substrat 1. Die elektrischen Zuleitungen können auch über ein auf der MODFET-Oberfläche an den Mesaflanken aufgebrachte passivierende Schicht geführt werden.

Da nur wenige Kontaktmaterialien, z. B. getempertes Aluminium, einige Silizide, geeignet sind, sowohl auf einer n- als auch p-leitenden Schicht aufgebracht zu werden, ist es vorteilhaft, unterschiedlich leitfähige Zonen auf der Oberfläche der MODFET-Strukturen 14, 15 für die ohmschen Kontakte zu implantieren oder geeignete ohmsche Kontakte aus unterschiedlichen leitfähigen Materialien auf den MODFET-Oberflächen aufzubringen und anschließend eine einheitliche Metallisierung z. B. mit Al, durchzuführen. Dadurch wird die Kontaktfähigkeit der Source- und Drain-Kontakte optimiert und es wird ein für die Kontaktbildung bei gleichzeitiger Herstellung der ohmschen Kontakte notwendiger Tempernschritt eingespart.

Nach der Herstellung der ohmschen Kontakte 18, 18a, 19, die entweder beim Legieren oder Aktivieren der implantierten n⁺- und p⁺-Zonen einen Tempernschritt erfordern, wird der Gate-Kontakt 20 hergestellt (Fig. 4c). Es wird eine gemeinsame des n- und p-Bereich der oberen und unteren MODFET-Struktur 14, 15 überlappender und über den Gate-Bereich 16 führender Gate-Kontakt 20 aufgebracht. Für eine Si/SiGe-CMOD-Struktur eignen sich zur Herstellung eines Gate als Schottky-Kontakt z. B. Ti oder MoSi₂ oder CrSi₂.

Alternativ kann auch ein MIS-Gate mit einer dünnen Isolatorschicht von etwa 20 bis 50 nm unter dem metallischen Gate-Kontakt hergestellt werden. Die elektrische Zuleitung 21a zum Gate-Kontakt 20 wird zwischen den MODFET-Strukturen 14, 15 im Bereich 16 auf das Substrat 1 aufgebracht.

Für die elektrischen Zuleitungen für die Gate-, Source- und Drain-Kontakte wird z. B. Al oder TiAu verwendet. Die elektrischen Zuleitungen sind möglichst dick gestaltet mit einer Dicke von mindestens 0,2 µm.

Ein weiteres Ausführungsbeispiel für eine CMOD-Anordnung ist eine laterale Anordnung der MODFET. Zu deren Herstellung wird eine Halbleiterschichtenfolge gemäß der DE-OS 37 31 000 verwendet, bei der auf einem Si-Substrat 1 eine undotierte SiGe-Pufferschichten 2 und darauf die Kanalschichten 24, 25, 26 aus i-Si, i-SiGe und i-Si aufgebracht sind (Fig. 5a).

In dieser Schichtenfolge werden die Ladungsträger

aus implantierten Bereichen 27, 28, 29, 30 lateral in den n- und p-Kanal abgegeben. Die implantierten Bereiche 27, 28 für z. B. p-Leitung und die implantierten Bereiche 29, 30 für z. B. n-Leitung werden gemäß Fig. 5a hintereinander in die Halbleiterschichtenfolge eingebracht. Die Tiefe der Implantationsbereiche 29, 30 muß über die i-SiGe-Schicht 25 hinausreichen in der das 2DHG 31 erzeugt wird (Fig. 5a). Die Implantationsbereiche 27, 28 müssen bis in die i-Si-Schicht 24 ausgebildet werden, da sich in der i-Si-Schicht das 2DEG bildet. Das Implantationsprofil der Bereiche 27, 28, 29, 30 muß eine geringe Oberflächenkonzentration ($< 10^{17} \text{ cm}^{-3}$) und eine hohe Konzentration ($> 10^{18} \text{ cm}^{-3}$) von Ladungsträgern im Bereich des 2DHG bzw. 2DEG aufweisen. Dadurch ist gewährleistet, daß ein guter Schottky-Kontakt als Gate-Kontakt auf der Oberfläche der CMOD-Anordnung, der die Implantationsbereiche 27, 28 bzw. 29, 30 überlappt, hergestellt ist. Außerdem wird dadurch eine hohe Ladungsträgerflächendichte im 2DHG bzw. 2DEG erreicht. Derartige Implantationsprofile werden erreicht, z. B. mit Implantaten wie BF₂ oder As bei Energien um 20 keV.

Da sich jedoch gering dotierte Bauelementoberflächen für ohmsche Kontakte nur sehr schlecht eignen, werden vorzugsweise zusätzlich zu den implantierten Bereichen 27, 28, 29, 30 n⁺- bzw. p⁺-dotierte Zonen 32, 33, 34, 35 in die Halbleiterschichtenfolge eingebracht (Fig. 5b). Auf diese hochdotierten Zonen 32, 33, 34, 35 werden gemäß Fig. 5c die Source- und Drain-Kontakte 36, 37, 38 mit geeigneten Metallisierungsverfahren aufgebracht. Die Source-Kontakte 37, 38 sind getrennt auf der CMOD-Anordnung aufgebracht. Als Drain-Kontakt für den n-MODFET und den p-MODFET ist ein gemeinsamer ohmscher Kontakt geeignet. Anschließend wird ein gemeinsamer Gate-Kontakt 39 zwischen den Source-Kontakten 37, 38 und dem Drain-Kontakt 36 hergestellt (Fig. 5c). Der Gate-Kontakt 39 ist so dimensioniert, daß er die n- und p-Bereiche 27, 28, 29, 30 überlappt. Dadurch wird eine seitliche Einschnürung des 2DHG bzw. 2DEG durch eine tiefe Raumladungszone unter einer gering dotierten Oberfläche z. B. der i-Si-Schicht 26 vermieden. Die elektrische Gate-Zuleitung 40 ist zwischen den Source-Kontakten 37, 38 angeordnet.

Als Kontaktmaterialien eignen sich für diese Si/SiGe-CMOD-Anordnung Al, oder Silizide.

Die Erfindung ist nicht auf die in den Ausführungsbeispielen angegebenen Materialien beschränkt. Für eine vertikale CMOD-Anordnung gemäß den Fig. 4a - c eignet sich beispielsweise eine Halbleiterschichtenfolge auf einem semisolierenden GaAs-Substrat aus

- einer undotierten GaAs-Schicht,
- einer p⁻-dotierten GaAlAs-Schicht als Spacer,
- einer p⁺-dotierten GaAlAs-Schicht,
- einer p⁻-dotierten GaAs-Schicht,
- einer Pufferschicht aus GaAlAs oder GaAs,
- einer undotierten GaAs-Schicht,
- einer n⁻-dotierten GaAl-Schicht als Spacer,
- einer n⁺-dotierten GaAlAs-Schicht,
- einer n⁻-dotierten GaAlAs-Schicht als Spacer, und
- einer n⁻-dotierten GaAs-Schicht.

Für eine laterale CMOD-Anordnung gemäß den Fig. 5a - c eignet sich z. B. eine Halbleiterschichtenfolge auf ein GaAs-Substrat aus

- einer GaAs-Pufferschicht,
- einer undotierten GaAs-Schicht,
- einer undotierten GaAlAs-Schicht, und
- einer undotierten GaAs-Schicht.

Als Implantationsmaterial für die p-Bereiche eignet sich z. B. Be und für die n-Bereiche Si.

Patentansprüche

- daß auf ein Halbleitersubstrat (1) eine Halbleiterschichtenfolge für komplementäre MODFET epitaktisch aufgewachsen wird, die zwischen der n- und p-MODFET-Struktur eine hochdotierte Ätzstoppschicht (13) enthält,

- daß die obere MODFET-Schichtenfolge bis zur Ätzstoppschicht (13) teilweise durch Mesa-Ätzen entfernt wird und eine obere MODFET-Struktur (14) hergestellt wird,

- daß anschließend die Ätzstoppschicht (13) entfernt wird und die untere MODFET-Struktur (15) durch Mesa-Ätzen hergestellt wird, derart, daß außerhalb und zwischen der oberen MODFET-Struktur (14) und der unteren MODFET-Struktur (15) das Substrat freigelegt wird und ein Gate-Bereich (16) hergestellt wird (Fig. 4b),

- daß anschließend die Source- und Drain-Kontakte (18, 18a, 19) hergestellt werden, derart, daß die Source-Kontakte (18, 18a) auf der Oberfläche der unteren und oberen MODFET-Struktur (14, 15) getrennt angeordnet werden oder ein gemeinsamer, die MODFET-Strukturen (14, 15) überlappender Drain-Kontakt (19) hergestellt wird,

- daß ein die obere und untere MODFET-Struktur (14, 15) überlappender Gate-Kontakt (20) hergestellt wird,

- daß die elektrischen Zuleitungen (21a, 21b, 21c) zu den Source-, Drain- und Gate-Kontakten auf dem Substrat (1) geführt werden, und

- daß die Gate-Zuleitungen (21a) zwischen den Source-Kontakten (18, 18a) im Gate-Zuleitungs-Bereich (16) geführt wird (Fig. 4c).

9. Integrierte Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet,

- daß die komplementären MODFET hintereinander vertikal angeordnet sind, und

- daß die Ladungsträger aus implantierten Bereichen lateral in den n- und p-Kanal der MODFET transportiert werden.

10. Verfahren zur Herstellung von Source-, Drain- und Gate-Kontakten für eine integrierte Halbleiteranordnung nach Anspruch 9, dadurch gekennzeichnet,

- daß in die n- und p-implantierten Source- und Drain-Bereiche (27, 28, 29, 30) der komplementären MODFET n⁺- und p⁺-implantierte Zonen (32, 33, 34, 35) für die ohmschen Kontakte eingebracht werden (Fig. 5b),

- daß mit einem geeigneten Metallisierungsverfahren ein gemeinsamer Drain-Kontakt (36) und getrennte Source-Kontakte (37, 38) auf der Oberfläche der CMOS-Anordnung hergestellt werden,

- daß zwischen Source- und Drain-Kontakten (36, 37, 38) ein Gate-Kontakt (39) eingebracht wird (Fig. 5c),

- daß der Gate-Kontakt (39) derart dimensioniert wird, daß das Gate-Metall mit den implantierten Source- und Drain-Bereichen überlappt, und

- daß die elektrische Gate-Zuleitung (40) zwischen den Source-Kontakten angeordnet wird.

11. Integrierte Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Gate-Kontakt als Schottky-Kon-

1. Integrierte Halbleiteranordnung, bei der auf einem Halbleitersubstrat mindestens zwei komplementäre modulationsdotierte Feldeffekttransistoren (MODFET) angeordnet sind, dadurch gekennzeichnet,

- daß zumindest zwei komplementäre MODFET vertikal oder lateral hintereinander auf einem Halbleitersubstrat angeordnet sind,
- daß die komplementären MODFET einen gemeinsamen symmetrisch abgreifbaren Gate-Kontakt besitzen, und
- daß für die komplementären MODFET ein gemeinsamer Drain-Kontakt aus gleichem Kontaktmaterial herstellbar ist.

2. Integrierte Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet,

- daß die komplementären MODFET hintereinander vertikal angeordnet sind, und
- daß die Ladungsträger aus einer hochdotierten Halbleiterschicht des jeweiligen n-MODFET und p-MODFET vertikal in den n-Kanal oder p-Kanal der MODFET transportiert werden.

3. Integrierte Halbleiteranordnung nach Anspruch 2, dadurch gekennzeichnet, daß auf einem Si-Substrat (1) eine Si/SiGe-Halbleiterschichtenfolge für mindestens zwei komplementäre MODFET aufgewachsen ist, so daß eine Halbleiterstruktur entsteht bei der der n-MODFET über dem p-MODFET angeordnet ist.

4. Integrierte Halbleiteranordnung nach Anspruch 2, dadurch gekennzeichnet, daß auf einem Si-Substrat (1) eine Si/SiGe-Halbleiterschichtenfolge für mindestens zwei komplementäre MODFET aufgewachsen ist, so daß eine Halbleiterstruktur entsteht, bei der der p-MODFET über dem n-MODFET angeordnet ist.

5. Integrierte Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß sich das zweidimensionale Löchergas (2DHG) des p-MODFET an der Grenzschicht zwischen einer undotierten SiGe-Schicht und einer p⁻-dotierten Si-Schicht bildet.

6. Integrierte Halbleiteranordnung nach einem der vorhergehenden Ansprüche 1 bis 4, dadurch gekennzeichnet, daß sich das zweidimensionale Löchergas (2DHG) an der Grenzschicht zwischen einer undotierten Ge-Schicht und einer p⁻-dotierten SiGe-Schicht bildet.

7. Integrierte Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß sich das zweidimensionale Elektronengas (2DEG) an der Grenzschicht zwischen einer undotierten Si-Schicht und einer n⁻-dotierten SiGe-Schicht bildet.

8. Verfahren zur Herstellung einer integrierten Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

takt ausgebildet ist.
12. Integrierte Halbleiteranordnung nach einem
der Ansprüche 1 bis 10, dadurch gekennzeichnet,
daß das Gate als MIS-Gate ausgebildet ist.

5

Hierzu 4 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

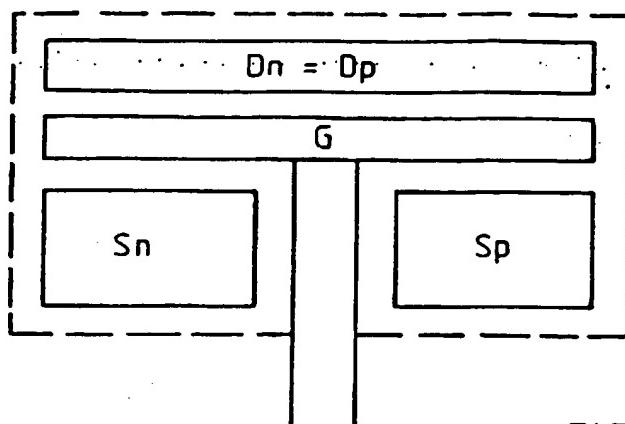


FIG. 1

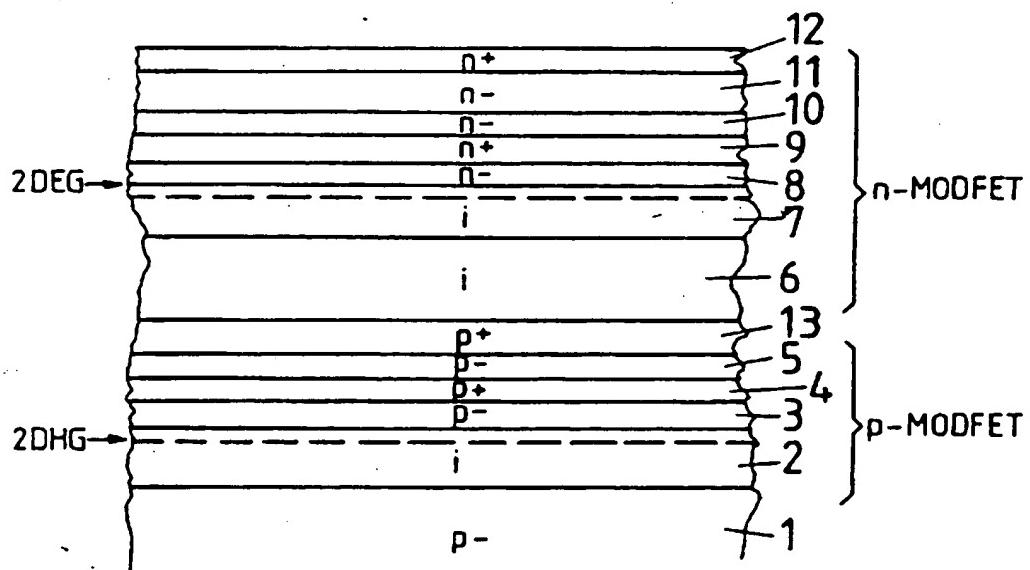


FIG. 2

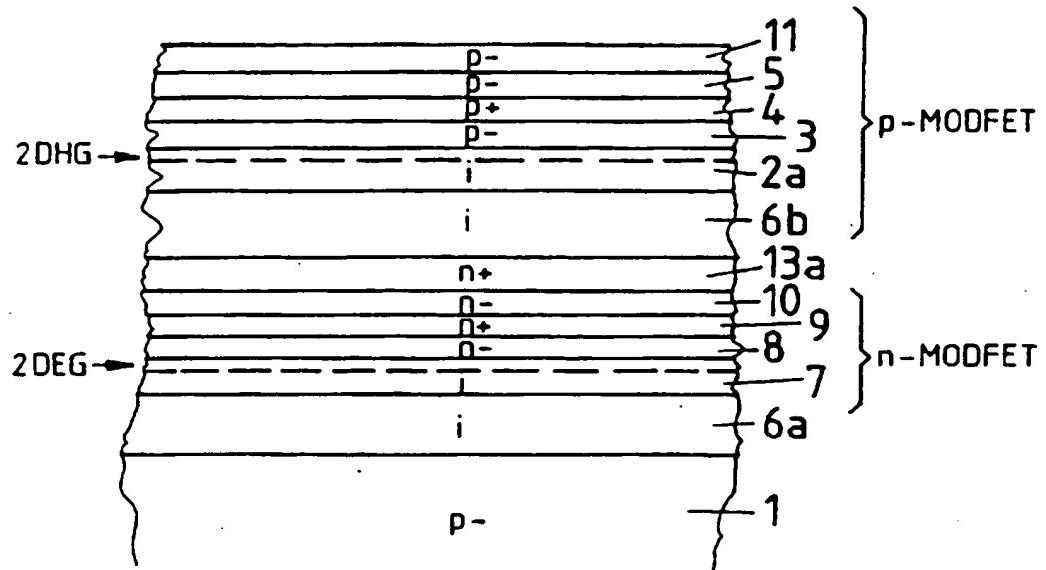


FIG. 3

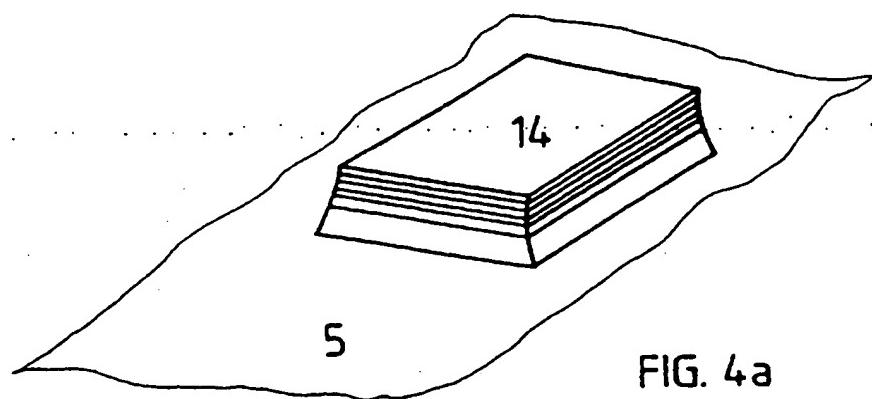


FIG. 4a

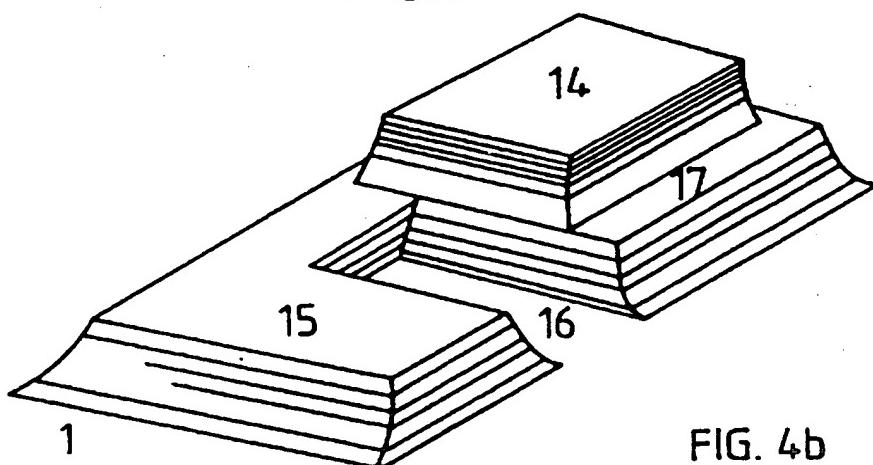


FIG. 4b

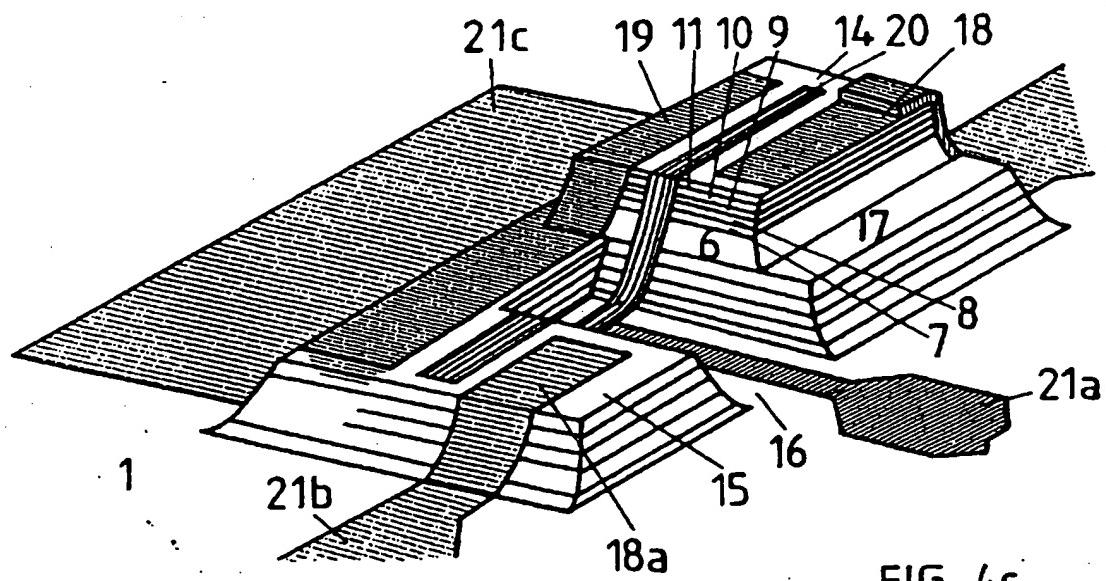


FIG. 4c

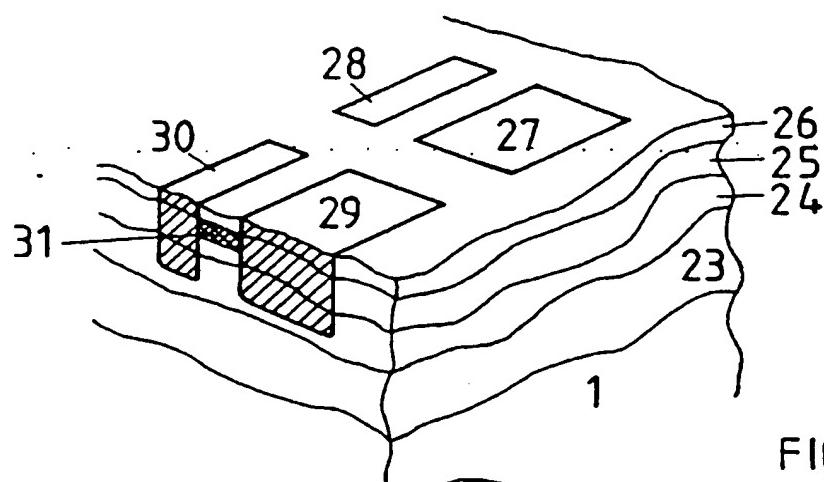


FIG. 5a

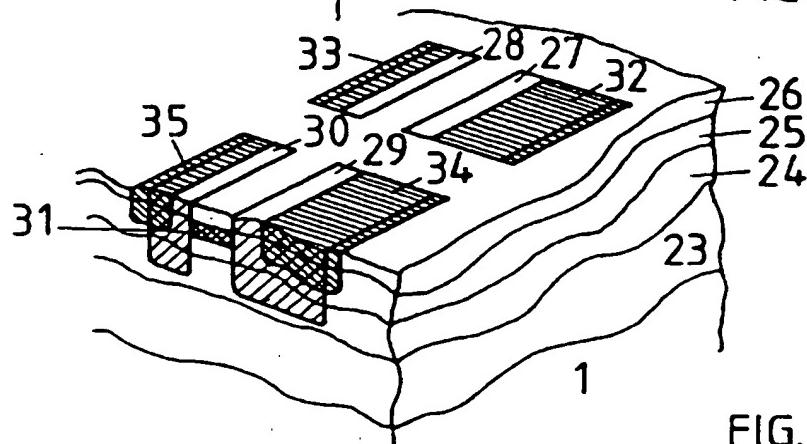


FIG. 5b

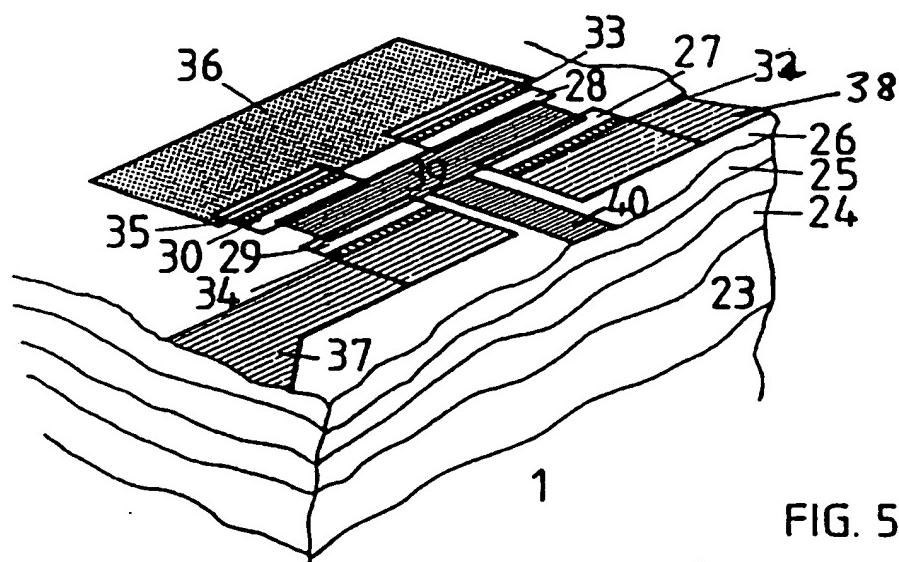


FIG. 5c

Abstract (Basic): DE 4101167 A

The layout for CMOS FETs features a single gate contact and a common drain contact for both transistors. The layout is applicable for a variety of semiconductors materials and may be configured either vertically or laterally. The lateral arrangement for silicon comprises a silicon substrate (1) with an overlying undoped SiGe buffer layer covered by intrinsic Si (24), SiGe (25), and Si (26) layers. P-type(27,28) and n-type (29,30) regions are formed by implantation and extend to the i-Si layer (24) and the i-SiGe layer (25) respectively to enable the formation of two dimensional electron or hole (p or n) channels.

The p and n-type regions are covered by metallic areas forming a common drain contact (36), separate n and p-type source contacts(27,28) and a single gate (39,40) contact, the latter being arranged to overlap the implanted p and n-type regions to assist channel formation.

ADVANTAGE - Reduces contact width, and substrate area required for CMOS FETs.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.